

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-079075

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

H03M 1/10

H03M 1/66

H03M 1/80

(21)Application number : 06-192568

(71)Applicant : BURR BROWN CORP

(22)Date of filing : 16.08.1994

(72)Inventor : SHINOHARA SHIGEAKI

MUROTA TOSHIO

ARIHARA EIICHI

HAMAZAKI TOSHIHIKO

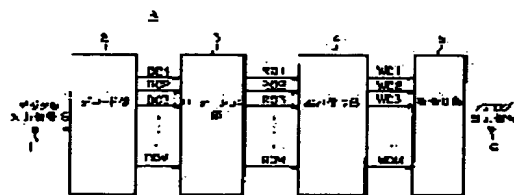
MATSUSAKO KYOJI

(54) DIGITAL-ANALOG CONVERTER

(57)Abstract:

PURPOSE: To provide a D/A converter for which the relative error between weighting elements used for D/A conversion is compensated.

CONSTITUTION: A D/A converter is provided with a rotation section 3. The section 3 generates rotation output signals RO1-ROM which activate/inactivate a plurality of weighting elements incorporated in a weighting section 4. The signals RO1-ROM maintain the number of activated weighting elements in each of a plurality of subordinate periods constituting the main period of D/A conversion and, at the same time, make the numbers of activating times of the weighting elements equal to each other throughout the main period.



LEGAL STATUS

[Date of request for examination] 15.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3469326

[Date of registration] 05.09.2003

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-79075

(43) 公開日 平成8年(1996)3月22日

(51) IntCl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 M	1/10	B		
	1/66	C		
	1/80			

審査請求 未請求 請求項の数18 O L (全 18 頁)

(21) 出願番号 特願平6-192568

(22) 出願日 平成6年(1994)8月16日

(71) 出願人 590003940

パー・ブラウン・コーポレーション
BURR-BROWN CORPORATION
アメリカ合衆国アリゾナ州85706, タクソン,
サウス・タクソン・プールバード
6730

(72) 発明者 篠原 慈明

神奈川県厚木市長谷字仲町422-1 日本
パー・ブラウン株式会社 厚木テクニカル
センター内

(74) 代理人 弁理士 湯浅 恭三 (外5名)

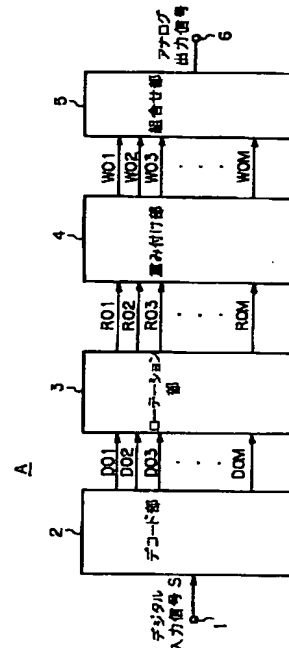
最終頁に続く

(54) 【発明の名称】 デジタル-アナログ変換器

(57) 【要約】

【目的】 D/A変換において使用する重み付け要素間の相対的誤差を補償した、デジタル-アナログ変換器を提供すること。

【構成】 デジタル-アナログ変換器に、ローテーション部3を設ける。ローテーション部3は、デコード部2からのデコード信号DO1~DOMを受けて、重み付け部4に含まれた複数の重み付け要素を活性化/不活性化するローテーション出力信号RO1~ROMを発生する。このローテーション出力信号RO1~ROMは、D/A変換の主期間を成す複数の従期間の各々において、活性化する重み付け要素の数を同一に保ち、しかも主期間の全体において複数の重み付け要素の各々の活性化する回数を同一にする。



【特許請求の範囲】

【請求項1】 複数の従期間に分割された主期間毎に、デジタル入力信号をこれに対応するアナログ出力信号に変換するデジタル-アナログ変換器であって、

イ) 前記デジタル入力信号を受けるための入力端子と、

ロ) 前記アナログ出力信号を発生するための出力端子と、

ハ) 複数の重み付け要素を含んでおり、各重み付け要素は、受け取る重み付け要素制御信号により活性化あるいは不活性化されて重み付け出力を発生するようになった、重み付け手段と、

ニ) 該重み付け手段の前記複数の重み付け要素からの複数の前記重み付け出力を受けるようになっており、前記複数の重み付け出力を組合せて前記アナログ出力信号を前記出力端子に供給する組合せ手段と、

ホ) 前記入力端子に受けた前記デジタル入力信号をデコードして複数のデコード信号を発生するデコード手段であって、前記複数のデコード信号は、前記アナログ出力信号を形成するために必要な前記複数の重み付け要素の内の活性化する重み付け要素の数と不活性化する重み付け要素の数の組合せを定める複数のデコード信号を発生するデコード手段と、

ヘ) 前記複数のデコード信号を受けるように接続されており、前記複数のデコード信号から、前記複数の重み付け要素をそれぞれ活性化あるいは不活性化する複数の重み付け要素制御信号を発生するローテーション手段であって、前記複数の重み付け要素制御信号は、所与の前記主期間を成す前記複数の従期間の各々において活性化する重み付け要素の数が同一となり、かつ、該所与の主期間の間に前記複数の重み付け要素の各々の活性化する回数が同一となるようにする、前記のローテーション手段と、を備えたデジタル-アナログ変換器。

【請求項2】 請求項1に記載のデジタル-アナログ変換器であって、

前記複数の重み付け要素は、活性化されたときには互いに実質上等しい量の重み付けを行い、不活性化されたときには零の重み付けを行うように設計したものであり、前記複数の重み付け要素の数Mは、前記デジタル入力信号で表す最大の10進数の値Aに等しく、前記主期間を成す前記複数の従期間の数は、bを正の整数としたとき、 $b \times M$ 個に等しいこと、を特徴とするデジタル-アナログ変換器。

【請求項3】 請求項2記載のデジタル-アナログ変換器であって、

前記bが2以上の場合には、前記ローテーション手段は、前記主期間を成す $b \times M$ 個の従期間において、その最初のM個の従期間中に発生する前記複数の重み付け要素制御信号を、後続のM個の従期間中繰り返し発生すること、を特徴とするデジタル-アナログ変換器。

【請求項4】 請求項1から3のいずれかに記載のデジタル-アナログ変換器であって、

前記重み付け手段の前記複数の重み付け要素は、互いに共通の電源に接続されており、また、

前記デジタル-アナログ変換器は、前記デコード手段からの前記デコード信号を受けるように接続されたダミー手段を更に含み、

該ダミー手段は、

イ) 前記共通の電源に接続された複数のダミー重み付け要素と、

ロ) 前記デコード信号を受けるように接続されており、これに応答して前記複数のダミー重み付け要素を活性化あるいは不活性化するダミー重み付け要素制御信号を発生するダミー制御信号発生手段であって、これにより、デジタル-アナログ変換動作の全期間に渡って、前記重み付け手段の前記複数の重み付け要素の活性化される数と前記複数のダミー重み付け要素の活性化される数との合計が所定の一定値となるようにする、前記のダミー制御信号発生手段と、を備えたこと、を特徴とするデジタル-アナログ変換器。

【請求項5】 請求項1から4のいずれかに記載のデジタル-アナログ変換器であって、

各前記重み付け要素は、前記重み付け要素制御信号を受けるCMOSインバータと該インバータの出力に接続された一端を有する抵抗器とを含んでいて、該抵抗器の他端は、前記重み付け出力を発生するようになっていること、を特徴とするデジタル-アナログ変換器。

【請求項6】 請求項4記載のデジタル-アナログ変換器であって、

各前記ダミー重み付け要素は、前記ダミー重み付け要素制御信号を受けるCMOSインバータと該インバータの出力に接続された一端を有する抵抗器とを含んでいて、該抵抗器の他端は開放となっていること、を特徴とするデジタル-アナログ変換器。

【請求項7】 請求項4記載のデジタル-アナログ変換器であって、

各前記ダミー重み付け要素は、前記ダミー重み付け要素制御信号を受けるCMOSインバータを含んでいて、該インバータの出力は開放となっていること、を特徴とするデジタル-アナログ変換器。

【請求項8】 複数の従期間に分割された主期間毎に、デジタル入力信号をこれに対応するアナログ出力信号に変換するデジタル-アナログ変換器であって、

イ) 前記デジタル入力信号を受けるための入力端子と、

ロ) 前記アナログ出力信号を発生するための出力端子と、

ハ) 複数の第1の数の重み付け要素から成る第1組の重み付け要素と、複数の第2の数の重み付け要素から成る第2組の重み付け要素と、を含んだ重み付け手段であ

って、各前記重み付け要素は、受け取る重み付け要素制御信号により活性化あるいは不活性化されて重み付け出力を発生するようになった、重み付け手段と、

二) 該重み付け手段の前記第1組の重み付け要素からの第1組の前記重み付け出力を受ける第1の入力と、前記第2組の重み付け要素からの第2組の前記重み付け出力とを受ける第2の入力と、を有しており、前記第1組の重み付け出力と前記第2組の重み付け出力とを差動的に組合せて前記アナログ出力信号を前記出力端子に供給する組合せ手段と、

ホ) 前記入力端子に受けた前記デジタル入力信号をデコードして複数のデコード信号を発生するデコード手段であって、前記複数のデコード信号は、前記アナログ出力信号を形成するために必要な、前記複数の重み付け要素の内の活性化する重み付け要素の数と、不活性化する重み付け要素の数と、の組合せを定める複数のデコード信号を発生するデコード手段と、

ヘ) 前記複数のデコード信号を受けるように接続されており、前記複数のデコード信号から、前記第1組の重み付け要素をそれぞれ活性化あるいは不活性化する第1組の複数の重み付け要素制御信号と、前記第2組の重み付け要素をそれぞれ活性化あるいは不活性化する第2組の複数の重み付け要素制御信号と、を発生するローテーション手段であって、前記第1組と第2組の各々の組の重み付け要素制御信号は、所与の前記主期間を成す前記複数の従期間の各々において関係する組の重み付け要素の内の活性化する重み付け要素の数が同一となり、かつ該所与の主期間の間に関係する組の複数の重み付け要素の各々の活性化する回数が同一となるようにする、前記のローテーション手段と、を備えたデジタル-アナログ変換器。

【請求項9】請求項8に記載のデジタル-アナログ変換器であって、

前記第1組及び第2組の重み付け要素は、活性化されたときには互いに実質上等しい量の重み付けを行い、不活性化されたときには零の重み付けを行うように設計したものであり、

前記第1組及び第2組の各々の組の複数の重み付け要素の数Mは、前記デジタル入力信号で表す最大の10進数の値Aに等しく、

前記主期間を成す前記複数の従期間の数は、bを正の整数としたとき、 $b \times M$ 個に等しいこと、を特徴とするデジタル-アナログ変換器。

【請求項10】請求項9記載のデジタル-アナログ変換器であって、

前記bが2以上の場合には、前記ローテーション手段は、前記主期間を成す $b \times M$ 個の従期間において、その最初のM個の従期間中に発生する前記第1組の重み付け要素制御信号を、後続のM個の従期間中繰り返し発生し、かつその最初のM個の従期間中に発生する前記第2

組の重み付け要素制御信号を、後続のM個の従期間中繰り返し発生すること、を特徴とするデジタル-アナログ変換器。

【請求項11】請求項8から10のいずれかに記載のデジタル-アナログ変換器であって、

前記重み付け手段の前記第1組及び第2組の重み付け要素は、互いに共通の電源に接続されており、また、前記デジタル-アナログ変換器は、前記デコード手段からの前記デコード信号を受けるように接続されたダミー手段を更に含み、

該ダミー手段は、

イ) 前記共通の電源に接続された複数のダミー重み付け要素から成る第1組のダミー重み付け要素と、前記共通の電源に接続された複数のダミー重み付け要素から成る第2組のダミー重み付け要素と、

ロ) 前記デコード信号を受けるように接続されており、これにตอบสนองして、前記第1組のダミー重み付け要素を活性化あるいは不活性化する第1組のダミー重み付け要素制御信号と、前記第2組のダミー重み付け要素を活性化あるいは不活性化する第2組のダミー重み付け要素制御信号と、を発生するダミー制御信号発生手段であって、これにより、デジタル-アナログ変換動作の全期間に渡って、前記重み付け手段の前記第1組の重み付け要素の活性化される数と前記第1組のダミー重み付け要素の活性化される数との合計が所定の一定値となるようにし、かつ前記重み付け手段の前記第2組の重み付け要素の活性化される数と前記第2組のダミー重み付け要素の活性化される数との合計が所定の一定値となるようにする、前記のダミー制御信号発生手段と、を備えたこと、を特徴とするデジタル-アナログ変換器。

【請求項12】請求項8から11のいずれかに記載のデジタル-アナログ変換器であって、

各前記重み付け要素は、前記重み付け要素制御信号を受けるCMOSインバータと該インバータの出力に接続された一端を有する抵抗器とを含んでいて、該抵抗器の他端は、前記重み付け出力を発生するようになっていること、を特徴とするデジタル-アナログ変換器。

【請求項13】請求項11記載のデジタル-アナログ変換器であって、

各前記ダミー重み付け要素は、前記ダミー重み付け要素制御信号を受けるCMOSインバータと該インバータの出力に接続された一端を有する抵抗器とを含んでいて、該抵抗器の他端は開放となっていること、を特徴とするデジタル-アナログ変換器。

【請求項14】請求項11記載のデジタル-アナログ変換器であって、

各前記ダミー重み付け要素は、前記ダミー重み付け要素制御信号を受けるCMOSインバータを含んでいて、該インバータの出力は開放となっていること、を特徴とするデジタル-アナログ変換器。

【請求項15】請求項12から14のいずれかに記載のデジタル-アナログ変換器であって、

前記組合せ手段は、前記第1の入力を成す反転入力と、前記第2の入力を成す非反転入力と、前記出力端子に接続された出力11を備えた演算増幅器であり、前記デジタル-アナログ変換器は、前記出力端子と前記重み付け手段の前記第1組と第2組の重み付け要素に含まれた前記CMOSインバータの各出力との間に接続された出力インピーダンス整合回路を含み、

該出力インピーダンス整合回路は、前記第1組の重み付け要素を成す複数のCMOSインバータの出力インピーダンスと、前記第2組の重み付け要素を成す複数のCMOSインバータの出力インピーダンスとを整合させること、を特徴とするデジタル-アナログ変換器。

【請求項16】請求項1又は8に記載のデジタル-アナログ変換器であって、

各前記重み付け要素は、電圧源タイプであること、を特徴とするデジタル-アナログ変換器。

【請求項17】請求項16記載のデジタル-アナログ変換器であって、

前記電圧源タイプの重み付け要素は、CMOSインバータを含むこと、を特徴とするデジタル-アナログ変換器。

【請求項18】請求項1又は8に記載のデジタル-アナログ変換器であって、

各前記重み付け要素は、電流源タイプであること、を特徴とするデジタル-アナログ変換器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル入力信号をアナログ出力信号に変換するデジタル-アナログ変換器に関するものである。

【0002】

【従来の技術】デジタル-アナログ変換器の構成として、差動増幅回路を用いた加算器を備え、この加算器により加算する重み付け単位要素の素子として、キャパシタを用いたものが知られている。その1例が例えば、

"A Multi-Bit $\Sigma \Delta$ DAC with Dynamic Element Matching Techniques", Feng Chen and Bosco Leung, Proc. IEE E 1992 Custom Integrated Circuits Conference, pp.16.2.1-16.2.4.に報告されている。このデジタル-アナログ変換器では、2進数のデジタルコードを10進数のアナログ数に変換し、そして重み付け要素である互いにほぼ等しいキャパシタのうち、そのアナログ数に相当する数のキャパシタをMOSトランジスタ・スイッチにより使用して、アナログ量を加算器に出力させる構成を有している。更に、個々のキャパシタ間のキャパシタンスの微小誤差によりその出力アナログ量の直線性が損なわれることに対する対策として、あるデジタルコードがアナログ量に変換される時間即ち主期間の間に、使用する

キャパシタの組合せを動的に入れ替えることにより、個々のキャパシタの出力を平均化する方法が提案されている。

【0003】

【発明が解決しようとする課題】上記のような工夫を施して、尚このデジタル-アナログ変換器の重大な欠点は、加算器のフィードバックループ中に設けることが必要なMOSトランジスタが、スイッチング時にそれ自身のチャンネルに蓄積電荷を残し、しかもその蓄積電荷量が加算器出力電圧に対して非直線的なものとなるため、アナログ電圧出力の直線性、高調波ひずみを含むノイズ特性が損なわれ、性能劣化を引き起こしてしまうことにある。

【0004】デジタル-アナログ変換器では、出力する信号の形態は上記の電圧以外に電流の場合もある。その1例として、特開平1-204527号に開示されたデジタル-アナログ変換器がある。これでは、互いにほぼ等しい単位電流源を重み付け要素として用いて、デジタル-アナログ変換を行うが、個々の単位重み付け要素の電流源間の微小誤差によりアナログ性能が損なわれる事の対策として、あるデジタルコードがアナログ量に変換される時間即ち主期間において、使用する電流源の組合せを動的に入れ替えて単位電流源間の出力誤差を平均化する方法が提案されている。

【0005】デジタル-アナログ変換器では、加算に使用される単位重み付け要素を構成するデバイスの同一性が、その変換器特性において、最も重要な性能因子である。しかし、上記従来例は、この性能因子を改善すべく提案されてきているものであるが、尚、個々のデバイスの動作原理的な問題点により、また、その平均化手法の問題点により、実現されているアナログ出力の直線性及びノイズ特性が十分なものとはなっていない。また、上記2例ともに、出力アナログ値が主期間と後続の主期間との間で変化したとき、出力アナログ量の線形性が劣化するという問題がある。

【0006】従って、本発明の目的は、アナログ出力の直線性及びアナログノイズ特性を改善したデジタル-アナログ変換器を提供することである。

【0007】本発明の別の目的は、上記のデジタル-アナログ変換器を低コストで提供することである。

【0008】

【課題を解決するための手段】上記目的を実現するため、本発明により提供する、複数の従期間に分割された主期間毎に、デジタル入力信号をこれに対応するアナログ出力信号に変換するデジタル-アナログ変換器は、イ)前記デジタル入力信号を受けるための入力端子と、ロ)前記アナログ出力信号を発生するための出力端子と、ハ)複数の重み付け要素を含んでおり、各重み付け要素は、受け取る重み付け要素制御信号により活性化あるいは不活性化されて重み付け出力を発生するようにな

った、重み付け手段と、二) 該重み付け手段の前記複数の重み付け要素からの複数の前記重み付け出力を受けるようになっており、前記複数の重み付け出力を組合せて前記アナログ出力信号を前記出力端子に供給する組合せ手段と、ホ) 前記入力端子に受けた前記デジタル入力信号をデコードして複数のデコード信号を発生するデコード手段であって、前記複数のデコード信号は、前記アナログ出力信号を形成するために必要な前記複数の重み付け要素の内の活性化する重み付け要素の数と不活性化する重み付け要素の数の組合せを定める複数のデコード信号を発生するデコード手段と、ヘ) 前記複数のデコード信号を受けるように接続されており、前記複数のデコード信号から、前記複数の重み付け要素をそれぞれ活性化あるいは不活性化する複数の重み付け要素制御信号を発生するローテーション手段であって、前記複数の重み付け要素制御信号は、所与の前記主期間を成す前記複数の従期間の各々において活性化する重み付け要素の数が同一となり、かつ、該所与の主期間の間に前記複数の重み付け要素の各々の活性化する回数が同一となるようにする、前記のローテーション手段と、から成る構成とする。

【0009】この構成により、個々の主期間において、複数の重み付け要素の各々の活性化される回数が同一となる。これは、言い換えれば、主期間毎に、複数の重み付け要素全部を活性化する回数が、該当する主期間でのデジタル入力信号に応じて変化することになり、この結果、平均化対象の要素の組合せが主期間毎に変化しないようにすることができ、従ってアナログ出力電圧の直線性の向上に寄与する。

【0010】また、本発明によれば、前記複数の重み付け要素の数Mは、前記デジタル入力信号で表す最大の10進数の値Aに等しく、前記主期間を成す前記複数の従期間の数は、bを正の整数としたとき、 $b \times M$ 個に等しくするようにできる。その場合、前記bが2以上の場合には、前記ローテーション手段は、前記主期間を成す $b \times M$ 個の従期間において、その最初のM個の従期間中に発生する前記複数の重み付け要素制御信号を、後続のM個の従期間中繰り返し発生するようにできる。これにより、bの値が大きくなるにつれ、即ちローテーションの回数が大きくなるにつれ、主期間中における平均化の効果が高まる。これも、アナログ出力電圧の直線性の向上に寄与する。

【0011】また、本発明によれば、前記重み付け手段の前記複数の重み付け要素は、互いに共通の電源に接続されている場合、前記デジタル-アナログ変換器が、前記デコード手段からの前記デコード信号を受けるように接続されたダミー手段を更に含むようにでき、該ダミー手段は、イ) 前記共通の電源に接続された複数のダミー重み付け要素と、ロ) 前記デコード信号を受けるように接続されており、これに回答して前記複数のダミー重み

付け要素を活性化あるいは不活性化するダミー重み付け要素制御信号を発生するダミー制御信号発生手段であって、これにより、デジタル-アナログ変換動作の全期間に渡って、前記重み付け手段の前記複数の重み付け要素の活性化される数と前記複数のダミー重み付け要素の活性化される数との合計が所定の一定値となるようにする、前記のダミー制御信号発生手段と、を備えるように構成できる。これにより、各重み付け要素が活性化された時に共通電源に対しある度合いの影響を及ぼす場合には、デジタル-アナログ変換動作の全期間に渡って、共通電源に与える影響の総合的な度合いをほぼ一定にするように作用する。同じく、アナログ出力電圧の直線性の改善に貢献する。

【0012】また、本発明によれば、各前記重み付け要素は、前記重み付け要素制御信号を受けるCMOSインバータと、該インバータの出力に接続された一端と前記重み付け出力を発生する他端とを有する抵抗器とを含むように構成できる。また、各前記ダミー重み付け要素は、前記ダミー重み付け要素制御信号を受けるCMOSインバータと該インバータの出力に接続された一端と開放または未接続状態の他端を有する抵抗器とを含むように構成できる。電力消費の少ないCMOSインバータを重み付け要素に使用することにより、CMOSインバータの周辺の電源電圧に与える影響、即ち電源電圧変動を少なくすることができ、また各インバータのスウィッチング特性(例えば、スウィッチング時間、負荷駆動力、動的な出力インピーダンス)の等価性が高まる。これによっても、アナログ出力電圧の直線性を改善できる。

【0013】また、本発明によれば、各前記ダミー重み付け要素は、前記ダミー重み付け要素制御信号を受けるCMOSインバータで構成し、そのインバータの出力を直流的に開放または未接続状態とするようにできる。このようにすることによっても、アナログ出力の直線性にある程度の改善を与えることができる(何故なら、上記抵抗器の他端は元々開放状態になっており、負荷としての抵抗器の影響力は比較的小さく、従ってまた動的な出力インピーダンスも大きく異なるものではない。従って、集積回路で実現する場合には、抵抗器形成に要するチップ面積を省ける一方で、所要のデジタル-アナログ変換器の性能を実現することができる。)

【0014】次に、本発明は、差動型のデジタル-アナログ変換器にも適用することができる。即ち、本発明によれば、複数の従期間に分割された主期間毎に、デジタル入力信号をこれに対応するアナログ出力信号に変換するデジタル-アナログ変換器は、イ) 前記デジタル入力信号を受けるための入力端子と、ロ) 前記アナログ出力信号を発生するための出力端子と、ハ) 複数の第1の数の重み付け要素から成る第1組の重み付け要素と、複数の第2の数の重み付け要素から成る第2組の重み付け要素と、を含んだ重み付け手段であって、各前記重み付け

要素は、受け取る重み付け要素制御信号により活性化あるいは不活性化されて重み付け出力を発生するようになった、重み付け手段と、二) 該重み付け手段の前記第1組の重み付け要素からの第1組の前記重み付け出力を受ける第1の入力と、前記第2組の重み付け要素からの第2組の前記重み付け出力とを受ける第2の入力と、を有しており、前記第1組の重み付け出力と前記第2組の重み付け出力とを差動的に組合せて前記アナログ出力信号を前記出力端子に供給する組合せ手段と、ホ) 前記入力端子に受けた前記デジタル入力信号をデコードして複数のデコード信号を発生するデコード手段であって、前記複数のデコード信号は、前記アナログ出力信号を形成するために必要な、前記複数の重み付け要素の内の活性化する重み付け要素の数と、不活性化する重み付け要素の数と、の組合せを定める複数のデコード信号を発生するデコード手段と、ヘ) 前記複数のデコード信号を受けるように接続されており、前記複数のデコード信号から、前記第1組の重み付け要素をそれぞれ活性化あるいは不活性化する第1組の複数の重み付け要素制御信号と、前記第2組の重み付け要素をそれぞれ活性化あるいは不活性化する第2組の複数の重み付け要素制御信号と、を発生するローテーション手段であって、前記第1組と第2組の各々の組の重み付け要素制御信号は、所与の前記主期間を成す前記複数の従期間の各々において関係する組の重み付け要素の内の活性化する重み付け要素の数が同一となり、かつ該所与の主期間の間に関係する組の複数の重み付け要素の各々の活性化する回数が同一となるようにする、前記のローテーション手段と、を備える。

【0015】また、本発明によれば、前記重み付け手段の前記第1組及び第2組の重み付け要素は、互いに共通の電源に接続されており、また、前記デジタルアナログ変換器が、前記デコード手段からの前記デコード信号を受けるように接続されたダミー手段を更に含み、該ダミー手段が、イ) 前記共通の電源に接続された複数のダミー重み付け要素から成る第1組のダミー重み付け要素と、前記共通の電源に接続された複数のダミー重み付け要素から成る第2組のダミー重み付け要素と、ロ) 前記デコード信号を受けるように接続されており、これにตอบสนองして、前記第1組のダミー重み付け要素を活性化あるいは不活性化する第1組のダミー重み付け要素制御信号と、前記第2組のダミー重み付け要素を活性化あるいは不活性化する第2組のダミー重み付け要素制御信号と、を発生するダミー制御信号発生手段であって、これにより、デジタルアナログ変換動作の全期間に渡って、前記重み付け手段の前記第1組の重み付け要素の活性化される数と前記第1組のダミー重み付け要素の活性化される数との合計が所定の一定値となるようにし、かつ前記重み付け手段の前記第2組の重み付け要素の活性化される数と前記第2組のダミー重み付け要素の活性化される数との合計が所定の一定値となるようにする、前記のダ

ミー制御信号発生手段と、を備えるようにできる。

【0016】また、本発明によれば、各前記重み付け要素及び各前記ダミー重み付け要素は、CMOSインバータと該インバータの出力に接続された一端を有する抵抗器とを含むようにできる。更に、前記組合せ手段は、前記第1の入力を成す反転入力と、前記第2の入力を成す非反転入力と、前記出力端子に接続された出力と、を備えた演算増幅器であり、前記デジタルアナログ変換器は、前記出力端子と前記重み付け手段の前記第1組と第2組の重み付け要素に含まれた前記CMOSインバータの各出力との間に接続された出力インピーダンス整合回路を含むようにできる。該出力インピーダンス整合回路は、前記第1組の重み付け要素を成す複数のCMOSインバータの出力インピーダンスと、前記第2組の重み付け要素を成す複数のCMOSインバータの出力インピーダンスとを整合させるようにする。これは、重み付け要素間の等価性を高め、ひいてはアナログ出力の直線性の改善に寄与する。

【0017】更にまた、本発明によれば、上記の各重み付け要素は、電圧源タイプとしたり、あるいは電流源タイプとしたりすることができる。これにより、種々の異なったタイプのデジタルアナログ変換器に、本発明を適用することができる。

【0018】

【実施例】以下に図面を参照しながら、本発明の実施例について説明する。

【0019】図1は、本発明によるデジタルアナログ(D/A)変換器の基本構成を示す図である。このD/A変換器Aは、個々のD/A変換を行う主期間 T_m を、複数の従期間 $T_{sub1} \sim T_{subk}$ (kは正の整数)に等分割し、主期間内の各従期間でのアナログ出力の平均値を、その主期間でのD/A変換器のアナログ出力として発生するタイプのものである。

【0020】詳しくは、D/A変換器Aは、2進入力デジタル信号Sを受けるデジタル入力端子1と、デコード部2と、ローテーション部3と、均等の重み付けを各々行うように設計したM個(Mは正の整数)の重み付け要素を備える重み付け部4と、組合せ部5と、アナログ出力端子6と、を備えている。M個の重み付け要素は、電圧源タイプでも電流源タイプでもよい。ここで、2進入力デジタル信号Sで表す10進数の最大値をAとしたとき、 $A \leq M$ となるようにする。即ち、2進重み付け等とは異なり、均等重み付けの場合、少なくとも10進数の最大値Aの数以上の重み付け要素が必要であるということである。また、ローテーション部で行うローテーションの数をb(正の整数)としたとき、主期間内の従期間の数kは、 $k = b \times M$ で定まる値に選ぶ。即ち、各1つの従期間中に1つの重み付け要素を活性化するような値のデジタル入力信号を受けた場合には、以下で説明する“主期間の間にM個の重み付け要素の各々の活性化する

回数が同一”という条件を各1つのローテーションで満たすには、 $b \times M$ 個の従期間が必要となるからである。

【0021】入力端子1に受ける2進デジタル入力信号Sは、シリアル形式でもパラレル形式でもよく、また任意の符号化形式のものが可能である。このデジタル入力信号を受けるデコード部2は、その入力信号の形式に対応したデコード、即ちシリアル-パラレル変換、データ変換、 $\Sigma\Delta$ 変調、又はその他の所要の変換を行って、後段の重み付け部4を制御するのに適した形式で、M個のデコード信号DO1~DOMを出力する。これらデコード信号は、M個の重み付け要素の内、アナログ出力信号を形成するのに必要な、活性化する重み付け要素の数と不活性化する重み付け要素の数との組合せを定める。これらデコード信号を受ける次のローテーション部3は、M個の重み付け要素をそれぞれ活性化あるいは不活性化する出力信号RO1~ROMを発生する。これら信号RO1~Mは、対応の重み付け要素に印加し、そして主期間Tmを成す従期間Tsub1~kの各々において活性化する重み付け要素の数が同一となり、かつ、その主期間の間にM個の重み付け要素の各々の活性化する回数が同一となるような形式で、それら重み付け要素を活性化/不活性化する。このとき、重み付け部4内のM個の重み付け要素は、重み付け出力WO1~WOMを発生する。各重み付け要素は、活性化されたときには、上記の均等の量に対応する値をもった重み付け出力を、そして不活性化されたときには例えば零の値をもった重み付け出力を発生する。このような重み付け出力WO1~Mを受ける組合せ部5は、それら重み付け出力を互いに組合せ（例えば、非差動型の場合には加算）、そしてその結果をアナログ出力信号として出力端子6に供給する。

【0022】次に、図2~11を参照して、図1の基本構成をより具体化したD/A変換器の第1の実施例Bについて説明する。尚、この実施例では、3ビットデジタル入力信号Sの10進数の最大値Aを4としたため（値5~7は使わない）、重み付け要素の数M=4である。また、ローテーション数b=1としたため、従期間数k=4である。

【0023】図2に示したこのD/A変換器Bは、差動型動作をするものであり、デコーダ（図示せず）からの出力を受けるビットローテーション回路3Bと、各重み付け要素がCMOSインバータ（I“n”1~I“n”4、I“p”1~I“p”4）と抵抗器（R“n”1~R“n”4、R“p”1~R“p”4）の直列結合回路から成る重み付け回路部4Bと、反転（n）入力と非反転（p）入力とを有する差動型加算器5Bと、アナログ出力を発生する出力端子6Bとを備えている。加算器5Bの反転入力は、4つのCMOSインバータ/抵抗器直列結合回路I“n”1/R“n”1~I“n”4/R“n”4の各出力に接続しており、一方、非反転入力は、4つのCMOSインバータ/抵抗器直列結合回路I“p”1/R“p”1~I“p”4/R“p”4の各

出力に接続している。均等重み付けのため、各CMOSインバータ/抵抗器直列結合回路は、互いに実質上等価である。

【0024】次に、ビットローテーション回路3Bは、本例では図8に示す $\Sigma\Delta$ 変調回路20であるデコーダからの4ビットのデコードビット出力DAT1~4と、このD/A変換器B内で生成される制御信号であるクロックCLK及びロード信号LOADとを受ける。3ビット2進入力デジタル信号Sとデコードビット出力DAT1~4との関係は、図3に示した通りであり、デコードビット出力の内の“1”となる出力の数は、デジタル入力信号Sが表す10進数値に対応している。このようなデコードビット出力を受ける回路3Bは、図3に示すように、1つの主期間Tm内において、4つの非反転側ノードに対しローテーションビット出力n1~n4を発生し、また4つの反転側ノードに対しローテーションビット出力p1~p4（これらは図3では省略。理由は、出力n1~n4の対応するものの反転に等しい、例えばp1はn1の反転に等しいため。）を発生する。図5~図7は、S=(000)、(010)、(100)の場合のローテーションビット出力の値を表にして、より分かりやすくしたものである。

【0025】図4は、上記回路3Bを詳細に示しており、これは、反転側（n）の一群のフリップフロップ（F/F）30Bと、非反転側（p）の一群のフリップフロップ（F/F）31B及び一群のインバータ32Bと、から成っている。フリップフロップ群30Bは、4つのフリップフロップを循環形式に接続したものであり、個々のフリップフロップは、端子BにDAT1~4の対応するものを受け、端子CLKにクロック入力CLK（図3に示すように、各従期間の始めに立ち上がりエッジをもつ）を受け、端子SELにLOAD信号（図3に示すように、主期間の始めに立ち下がりエッジをもつ）を受け、端子Qには、ローテーションビット出力n1~n4の対応するものを発生する。各フリップフロップの端子Aは、本発明によるローテーションのため、循環ループ（上段から下段のF/Fへそしてまた上段のF/Fへ戻るというループ）中の前のフリップフロップのQ出力を受けるようにしてある。このフリップフロップ群30Bの動作について説明すると、群30B内の各フリップフロップ、例えば下段のフリップフロップは、LOAD信号の立ち下がりエッジ時にトリガされてその時のDAT1~4の対応するもの、即ちDAT1の値にセットされ、そしてその後は、クロックCLKの立ち上がりエッジ時に循環ループ中の前フリップフロップ、即ち上段のフリップフロップのQ出力にセットされる。各セットされた値はQ端子にn1として出力する。その他のフリップフロップも、上記と同様に動作する。このようにして、図3に示したようなローテーションビット出力n1~n4を形成する。フリップフロップ群31Bにつ

いては、群 31B と異なるのは、各端子 B に DAT1~4 の対応するものをインバータ群 32B の対応するものを介して受けるようになっている点だけであって、フリップフロップ群 31B 自体の動作は群 30B と全く同じであるため、詳細な説明は省略する。図 5~7 から分かるように、ローテーションビット出力 p1~p4 は、夫々、出力 n1~n4 の反転したものに等しい。

【0026】次に、図 5~7 を参照して、ローテーションビット出力の特性／性質について説明する。図 5 の S = (000) の場合には、A = 0 であり、出力 n1~n4 はいずれも、全ての従期間において“0”即ち不活性化状態である。従って、各従期間での“1”即ち活性化状態の出力の数は零の同一値であり、また出力 n1~n4 の各々が主期間全体で活性化状態をとる回数は、零の同一値である。一方、出力 p1~p4 はいずれも、全ての従期間において“1”である。従って、各従期間での活性化状態出力数は 4 の同一値（不活性化状態出力数では、n 側と同じ零の同一値）であり、また各出力の主期間全体での活性化状態回数は、4 の同一値（不活性化状態回数では、n 側と同じ零の同一値）である。この図 5 の場合、状態が変化するローテーションビット出力は、1 つもない。

【0027】図 6 の S = (010) の場合には、いずれの従期間においても、出力 n1~n4 の内の 2 つが活性化状態“1”となる。各従期間での活性化状態出力数は 2 の同一値であり、また出力 n1~n4 の各々が主期間全体で活性化状態をとる回数は、2 の同一値である。出力 p1~p4 についても、これと同じである。尚、出力 n1~n4 においてもまた出力 p1~p4 においても、従期間間で状態が変化する出力の数は、2 である。この 2 の状態変化出力数は、S = (001) ~ (011) のいずれでも共通である。

【0028】図 7 の S = (100) の場合は、A = 4 であり、この場合、S = (000) の場合と比べると、各出力の値が反転しており、従って従期間の活性化状態出力数と主期間の活性化状態回数も、n 側と p 側で逆になっているが、同一値を取ることに変わりはない。

【0029】上記のローテーションビット出力を受ける重み付け回路部 4B 内の各 CMOS インバータ／直列抵抗器の直列結合回路は、ローテーションビット出力が“0”のとき、即ち不活性化されたときには、0 ボルトの出力電圧を発生し、一方その出力が“1”のときには活性化されて 5 ボルトの出力電圧を発生する。加算器 5B は、このようにして発生される非反転側の 4 組の CMOS インバータ／抵抗器の直列結合回路の出力電圧の和と、反転側の 4 組の CMOS インバータ／抵抗器の直列結合回路の出力電圧の和との差を、出力端子 6B に発生する。

【0030】次に、図 8~11 を参照して、図 2 に示した D/A 変換器 B の性能についての実験及びその結果に

ついて説明する。まず、図 8 は、本発明の D/A 変換器を含む D/A 変換システムの 1 例であり、D/A 変換器 B の入力側に $\Sigma\Delta$ 変調回路 20 を、その出力側にローパスフィルタ 7 を接続したものである。実験方法としては、1 kHz のサイン波に相当する 16 ビットのデジタル入力を $\Sigma\Delta$ 変調回路 20 を用いてノイズ・シェーピングし、いわゆるオーディオ帯域 (0~20 kHz) の量子化ノイズを抑圧した 5 値のデジタル信号に変換し、そしてこの信号を、D/A 変換器 B に DAT1~4 として入力し、次にこの変換器出力をローパスフィルタ 7 に通し、そして得たアナログ出力の波形解析を行った。本発明の効果をローテーション数 b = 1 の場合について調べた結果、反転側及び非反転側の各 4 つの CMOS インバータ／抵抗器直列結合回路相互の相対誤差の最大値に対して、レベル直線性及びノイズ特性は、本発明によるビットローテーションを行った場合には、著しく改善された。

【0031】図 9~11 を参照して、本発明の“各重み付け要素の主期間全体での活性化回数を同一値にする”という条件による効果について詳細に説明する。図 9 は、D/A 変換器の入出力特性を示すグラフであり、本発明のビットローテーション法による平均化を行った場合の特性と、本発明のビットローテーション法を使わない平均化を行った場合の特性と、を比較して示している。これらの特性を得るのに使ったデータは、図 10 と図 11 に示したものであり、これには、n1~n4 だけが含まれている。また、4 つの重み付け要素の出力には、各々に固有の誤差を与えている。即ち、

【表 1】

出力 n1 を受ける重み付け要素	誤差 - 2 δ
出力 n2 を受ける重み付け要素	誤差 - δ
出力 n3 を受ける重み付け要素	誤差 + δ
出力 n4 を受ける重み付け要素	誤差 + 2 δ

とする。尚、誤差 δ は、ここでは、0.4 としている。

【0032】図 10 から分かるように、本発明では、Tm での総平均は、0, 1, 2, 3, 4 と完全にレベル直線性を確保しているが、本発明とは異なった平均化を行う従来例では、図 11 から分かるように、Tm での総平均は、本発明のような直線性は得られていない。明らかに、その従来例では、アナログ出力に高調波ひずみが現れることになる。

【0033】次に、図 12~17 を参照して、本発明の第 2 実施例である D/A 変換器 C について説明する。この変換器 C が、図 2 の変換器 B と異なっている点は、ダミービット発生器 3C' とダミー回路 4C' とを更に設けた点である。その他の部分即ち、回路 3C, 4C, 5C は、変換器 B の対応するものと同じであり、従って説明は省略する。

【0034】先ず始めに、ダミービット発生器とダミー回路を設けたのは、変換器 B よりも更にノイズ特性を改

15

善するためである。重み付け回路部4Cの各重み付け要素が活性化される時また不活性化される時にノイズを発生するものである場合、主期間毎のノイズの発生量の変化が高調波ひずみの発生源になってしまうことがある。従って、本発明では、そのようなひずみを低減するため、ノイズ発生源の数を主期間毎に変化しないよう一定値に保つようにする。

【0035】詳しくは、図13は $S = (000)$ の場合のローテーションビット出力を示すものであって、図5と同じものを含んでいる。図から分かるように、この主期間においては、重み付け回路部4C内(4C'のもの
10 は除く)の重み付け要素が、互いに隣接した従期間において、活性化状態と不活性化状態との間で状態変化するものの数はゼロである。従って、状態変化に伴うノイズ発生はゼロである。一方、 $S = (010)$ の場合を示す図14(これは図6と同じものを含む)では、隣接従期間における状態変化する重み付け要素の数は、各従期間において矢印で示したように、n側p側共に2である。この数は、 $S = (001)$ 、 (011) の時も同じである。最後に、図15に示す $S = (100)$ の場合には、
20 隣接従期間において状態変化する重み付け要素の数は、 $S = (000)$ と同じゼロである。これから分かるように、Sの値が変化したときにノイズ発生源の数は、n側p側共に、最小値0と最大値2の間で変化する場合が起きる。

【0036】従って、本発明では、その最大値2のノイズ発生源をどの主期間においても確保してひずみ低減を図るため、図12のダミー回路4C'に示したように、n側p側の各々に対し、その最大値2の数のダミーの重み付け要素即ち、CMOSインバータ/抵抗器直列結合回路I "n"5/R "n"5及びI "n"6/R "n"6と、CMOSインバータ/抵抗器直列結合回路I "p"5/R "p"5及びI "p"6/R "p"6を設けている。尚、図2では示さなかったが、各CMOSインバータは、共通の電源、即ち共通の電源線40Cと接地線41Cとに接続している。このため、各CMOSインバータは、スイッチング時に、他のCMOSインバータにあるいはその他の回路部に影響を与える可能性がある。

【0037】また、これらダミー重み付け要素を使って、Sの値の変化に拘わらずn側p側共に2個のノイズ発生源を確保するため、ダミービット発生器3C'は、図16に示すように(図では、p側は、n側の対応する出力の反転したものに等しいため、省略してある)、ダミービット出力n5、n6及びp5、p6を発生する。これによって、ダミー重み付け要素の活性化/不活性化を制御して、図13と図15の場合には、ダミー重み付け要素のみで、隣接従期間において2つの状態変化を生じさせ、そして図14に示すような場合には、そのような状態変化を生じさせない。

【0038】次に、図17を参照して、ダミービット出

16

力を発生するダミービット発生器3C'について説明する。回路3C'は、デコードビット出力DAT1と2、DAT3と4、DAT2と3を夫々受ける3つの排他的NOR(EX-NOR)ゲート群30C'と、これらゲートの出力を受けるANDゲート31C'と、LOAD信号とクロックCLKを受けるANDゲート32C'と、ゲート31C'の出力を端子Dに受けゲート32C'の出力を端子CLKに受けるフリップフロップ(F/F)33C'と、そしてこのF/FのQ出力とクロックCLKを受けるように接続されたANDゲート34C'とを備えている。また、このゲート34C'の出力は、フリップフロップ35C'、36C'を夫々含む互いに同じ回路部37C'、38C'に接続している。

【0039】ゲート群30C'とANDゲート31C'とは、n側p側の各側の全ての重み付け要素が活性化されるかあるいは不活性化されるとき(図13又は図15の場合)と、その他のとき(例えば図14の場合)を判別するよう作用し、そしてゲート31C'は、前者の場合には論理"1"をそして後者の場合には論理"0"を出力する。ゲート32C'は、主期間の始め毎に、上記ゲート31C'の出力をF/F33C'にセットする。次にANDゲート34C'は、上記前者の場合にクロックCLKを通過させ、上記後者の場合には通過を阻止する。後続のF/F35C'は、ゲート34C'からのクロックを受けたときにはこれに応答して"1"と"0"とを交互にQ端子に出力し、そしてこれがダミービット出力n5となり、またその反転したものがダミービット出力n6となる。クロックを受けないときには、"1"又は"0"のいずれか一方が連続したものをn5、n6として出力する。また、回路部38C'も回路部37C'と同様に、上記前者の場合、"1"と"0"とを交互にQ端子に出力して、ダミービット出力p5とこれの反転であるダミービット出力p6となる。クロックを受けないときには、"1"又は"0"のいずれか一方が連続したものをp5、p6として出力する。これによって、上記のノイズ発生源の数を同じにするという目的を実現することができる。

【0040】以上に説明したD/A変換器Cについても、図8に示した回路構成で実験を行った結果、ダミー回路がない場合に比べて、出力サイン波形の高調波ひずみ率は改善された。従って、変換器Cは、より一層改善した直線性及びノイズ特性を有している。

【0041】次に、図18を参照して、本発明の第3実施例であるD/A変換器Dについて説明する。この変換器Dが、図2の変換器Bと異なっている点は、インバータ出力インピーダンス整合回路5D'を更に設けた点である。その他の部分即ち、回路3D、4D、5Dは、変換器Bの対応するものと同じであり、従って説明は省略する。

【0042】インバータの出力インピーダンスを整合す

る回路5D'は、1対の4つのCMOSインバータの出力と差動型加算器5Dの出力との間に接続されていて、反転増幅器50D'と、1対の4つの出力抵抗器Rc "n"1~4、Rc "p"1~4とを備えている。これら出力抵抗器は各々、抵抗器R "n"1~4、R "p"1~4とほぼ同等の値を有している。出力抵抗器Rc "n"1~4は、夫々、4つのインバータI "n"1~I "n"4の出力と反転増幅器の出力との間に接続されており、そして出力抵抗器Rc "p"1~4は、夫々、4つのインバータI "p"1~I "p"4の出力と反転増幅器出力との間に接続されている。CMOSインバータの出力インピーダンスを含めて各重み付け要素が等価であることが変換器のアナログ出力特性に重要であるが、インバータの出力インピーダンスは、そのインバータの出力電圧の微小な変化で変わる。このため、差動型加算増幅器の反転入力側と非反転入力側とで、インバータI "n"1~I "n"4の総合的な出力インピーダンスとインバータI "p"1~I "p"4の総合的な出力インピーダンスとが微妙に異なった値を取ることがある。この微妙な出力インピーダンス差を取り除くため、

【0043】このD/A変換器Dについても、図8に示す回路構成で実験を行った結果、インバータ出力インピーダンス整合回路を用いた場合には、用いない場合に比較して、出力サイン波形の高調波ひずみ率は改善された。

【0044】次に、図19に、本発明の第4の実施例であるD/A変換器Eを示す。この変換器Eが、図2の変換器Bと異なっている点は、ダミービット発生器3E'とダミー回路4E'と、インバータ出力インピーダンス整合回路5E'を更に設けた点である。その他の部分即ち、回路3E、4E、5Eは、変換器Bの対応するものと同じである。また、ダミービット発生器3E'とダミー回路4E'は、図12の変換器Cで設けたもの3C'、4C'と同じであり、更に、整合回路5E'も、図18の変換器Dで設けたインバータ出力インピーダンス整合回路5D'と等価のものである。この図19のD/A変換器Eについても、図8に示す回路構成で実験を行った結果、変換器C及びDと同様、出力サイン波形の高調波ひずみ率は改善された。

【0045】次に、以上に述べた実施例に対する変更例について述べる。

【0046】図20を参照して、第1~第4の実施例に対する第1の変更例について説明する。上記実施例の説明では、ローテーション数bを1として説明したが、その数を2以上に変更することができる。隣接する主期間の間で入力デジタル信号が変化する場合、アナログ出力の変化の線形性は、特にある主期間の最後の従期間に活

性化する重み付け要素と次の主期間の最初に活性化する重み付け要素との間での要素等価性に強く依存する。従って、bの値をなるべく大きくして従期間の間隔を短くすることにより、隣接する主期間の間で要素等価性の影響を相対的に減少させることができる。このことにより、アナログ性能の向上に効果を発揮する。

【0047】図20は、上記変更例の1例を示すものであり、第1の実施例である変換器Bについて、b=2としたときのそのローテーションビット出力n1~n4、p1~p4の表を示す。この場合、M=4は変わらないため、従期間数kは、8、即ちTsub1~Tsub8となっている。これに応じて、クロックCLKは、2倍の速度にする必要がある。図示のように、反転側の出力n1~n4、非反転側の出力p1~p4は共に、従期間Tsub1~Tsub4の間のもので従期間Tsub5~Tsub8の間に繰り返したもので成っている。この変更を施した変換器Bについて、図8の実験回路を使って同様の実験を行った結果、CMOSインバータ/抵抗器直列結合回路の相互の間の相対誤差の最大値に対して、b=1のときよりも更にノイズ特性に改善がみられた。この図20に示したのと同様の変更が、変換器C、D、Eにおいて可能である。

【0048】次に、図21を参照して、上記第1及び第2実施例に対する変更例について説明する。第1及び第2の2つの実施例は、差動型のものであるが、これらは、非差動型に変更することができる。図21は、第1実施例である変換器Bを非差動型に変更したD/A変換器Fを示している。図から明らかなように、ビットローテーション回路3F、重み付け回路部4Fは、非反転(p)側の回路を除いてあり、そして重み付け回路の出力は、加算器5Fの反転側のみ接続されている。この構成の変換器においても、本発明のビットローテーション法による平均化の効果を十分に得ることができる。図示しないが、第2の実施例である変換器Cについても、上記と同様に、非反転側の回路を除くことにより非差動型にすることができる。

【0049】最後に、ビットローテーションの変更例について説明する。上記実施例においては、ビットローテーションは、例えば図6に示したように、ビット"1"又は"0"がn4(又はp4)からn1(又はp1)へそしてまたn4(又はp4)へという方向に1つつシフトしている。しかし、そのシフトする方向もしくは量は、例えば、従期間Tsub1とTsub3のローテーションビット出力を交換することにより、変更することができる。重要なことは、複数の重み付け要素の各々を、主期間の間に等しい回数(ゼロを含む)活性化することである。この条件を満たす限り、ビットローテーションのパターンを任意に変更できる。また、ローテーションを2以上行う場合にも、1回目のビットローテーションのパターンと後続のビットローテーションのパターンとを異

なったものとすることができる。

【0050】

【発明の効果】以上に述べた本発明によれば、デジタル-アナログ変換器の変換器特性、即ちアナログ出力の直線性及びノイズ特性をより一層向上させることができる。また、変換器特性を決定する最も重要な性能因子である、個々の重み付け要素デバイス間の同一性又は等価性を、各デバイスの動作原理的な問題点あるいは作製技術の限界あるいはコスト上の制限（例えば、集積回路の場合、抵抗器のパラツキをトリムするコストや、相対精度を確保するために素子を大きく形成するためのチップ面積コスト）から十分保つことが困難な場合においても、変換器特性を改善することができる。これにより、デジタル-アナログ変換器の製作においてよく用いられる、費用のかかるトリミング技術を使わずとも、所要の変換器特性を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明による基本構成のデジタル-アナログ(D/A)変換器Aを示すブロック図。

【図2】図1の基本構成をより具体化した第1実施例のD/A変換器Bを示す回路図。

【図3】図2の変換器が含むビットローテーション回路が発生するローテーションビット出力の波形を示す図。

【図4】図2の変換器が含むビットローテーション回路の詳細を示す回路図。

【図5】図4のビットローテーション回路が、重み付け要素数 $M=4$ 、ローテーション数 $b=1$ 、デジタル入力信号 $S=(000)$ 、その10進数値 $A=0$ の場合に、発生するローテーションビット出力のパターンを示す図表。

【図6】 $M=4$ 、 $b=1$ 、 $S=(010)$ 、 $A=2$ の場合の、図5と同様の図表。

【図7】 $M=4$ 、 $b=1$ 、 $S=(100)$ 、 $A=4$ の場合の、図5と同様の図表。

【図8】本発明によるデジタル-アナログ変換器と、 $\Sigma\Delta$ 変調回路を含むデジタル-アナログ変換システムのブロック図。

【図9】図2の本発明によるD/A変換器のデジタル入力信号とアナログ出力との関係を、従来のものと比較して示すグラフ。

【図10】図9の本発明の特性を算出するのに使った、データの図表。

【図11】図9の従来例の特性を算出するのに使った、データの図表。

【図12】図1の基本構成をより具体化した第2実施例のD/A変換器Cを示す回路図。

【図13】図12のビットローテーション回路が、重み付け要素数 $M=4$ 、ローテーション数 $b=1$ 、デジタル入力信号 $S=(000)$ 、その10進数値 $A=0$ の場合に、発生するローテーションビット出力のパターンを示す図表。

【図14】 $M=4$ 、 $b=1$ 、 $S=(010)$ 、 $A=2$ の場合の、図13と同様の図表。

【図15】 $M=4$ 、 $b=1$ 、 $S=(100)$ 、 $A=4$ の場合の、図13と同様の図表。

【図16】図12の変換器が含むビットローテーション回路が発生するローテーションビット出力の波形を示す図。

【図17】図12の変換器が含むダミービット発生器の詳細を示す回路図。

【図18】図1の基本構成をより具体化した第3実施例のD/A変換器Dを示す回路図。

【図19】図1の基本構成をより具体化した第4実施例のD/A変換器Eを示す回路図。

【図20】本発明の第1～第4実施例に対する変更例を示すため、第1実施例において $b=2$ したときのローテーションビット出力のパターンを示す図表。

【図21】本発明の第1、第2実施例に対する変更例を示すため、第1実施例において差動型構成を非差動型構成にしたときのD/A変換器Fを示す回路図。

【符号の説明】

1：デジタル入力端子

2：デコード部

30 3：ローテーション部

3B、3C、3D、3E、3F：ビットローテーション回路

3C'、3E'：ダミービット発生器

4：重み付け部

4A、4B、4C、4D、4E、4F：重み付け回路部

4C'、4E'：ダミー回路

5：組合せ部

5A、5B、5C、5D、5E、5F：加算器

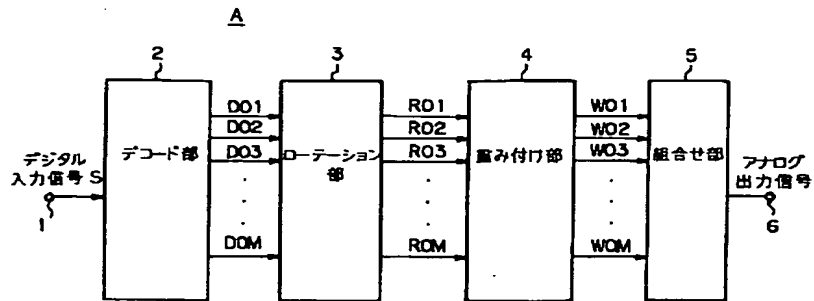
40 5D'、5E'：インバータ出力インピーダンス整合回路

6A、6B、6C、6D、6E、6F：アナログ出力端子

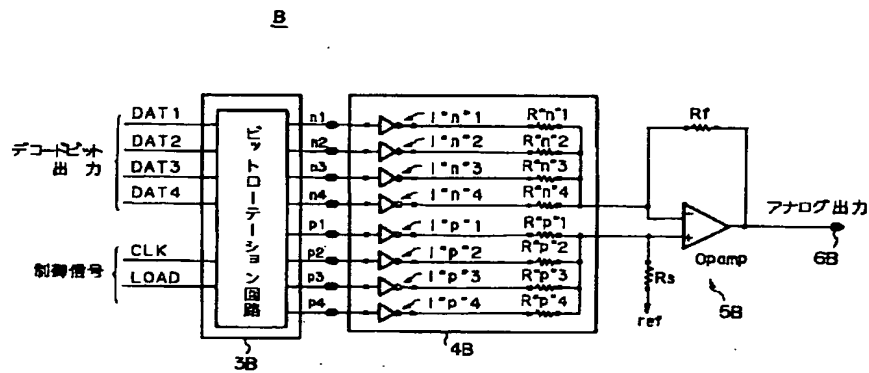
40C：電源線

41C：接地線

【図1】



【図2】



【図5】

$S = (000)$, $A = 0$, $b = 1$, $M = 4$ の場合.

T_n			
T_{sub1}	T_{sub2}	T_{sub3}	T_{sub4}

$n1$	0	0	0	0
$n2$	0	0	0	0
$n3$	0	0	0	0
$n4$	0	0	0	0
$p1$	1	1	1	1
$p2$	1	1	1	1
$p3$	1	1	1	1
$p4$	1	1	1	1

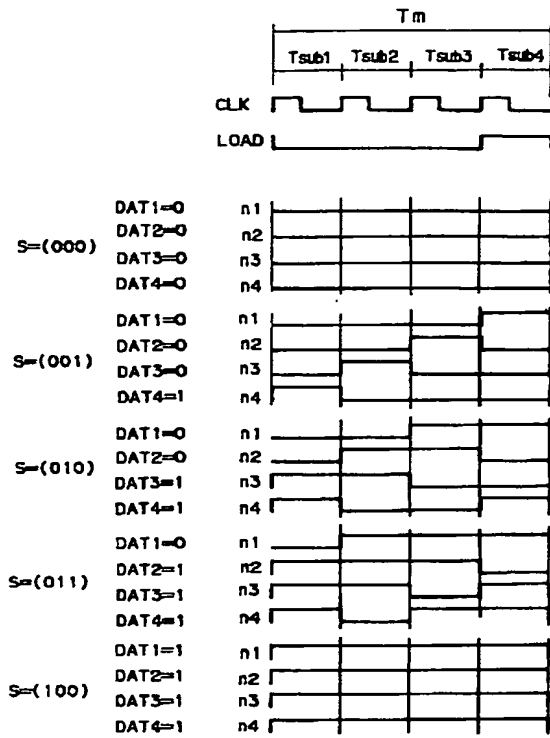
【図6】

$S = (010)$, $A = 2$, $b = 1$, $M = 4$ の場合

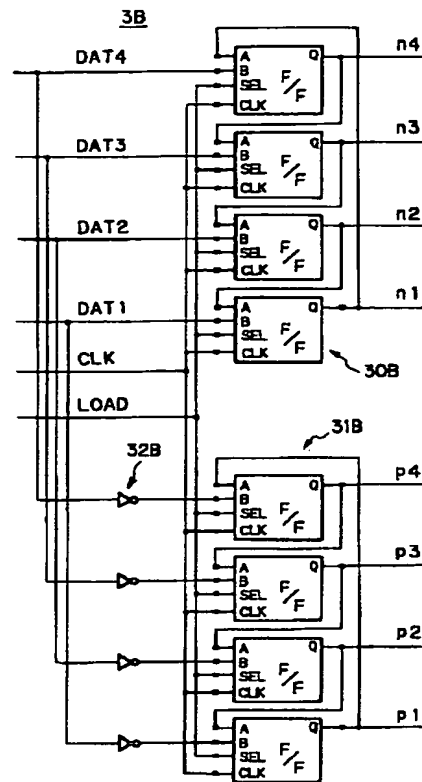
T_m			
T_{sub1}	T_{sub2}	T_{sub3}	T_{sub4}

$n1$	0	0	1	1
$n2$	0	1	1	0
$n3$	1	1	0	0
$n4$	1	0	0	1
$p1$	1	1	0	0
$p2$	1	0	0	1
$p3$	0	0	1	1
$p4$	0	1	1	0

【図3】



【図4】

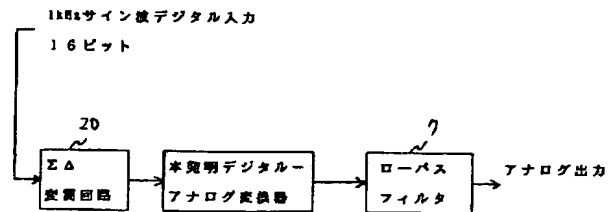


【図7】

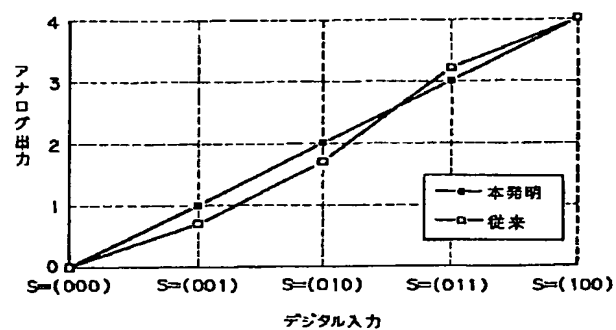
S = (100), A = 4, b = 1, M = 4 の場合

	Tm			
	Tsub1	Tsub2	Tsub3	Tsub4
n1	1	1	1	1
n2	1	1	1	1
n3	1	1	1	1
n4	1	1	1	1
p1	0	0	0	0
p2	0	0	0	0
p3	0	0	0	0
p4	0	0	0	0

【図8】



【図9】



【図10】

本発明により個々のすべての要素が主範囲内で等しい阻値特性化される場合

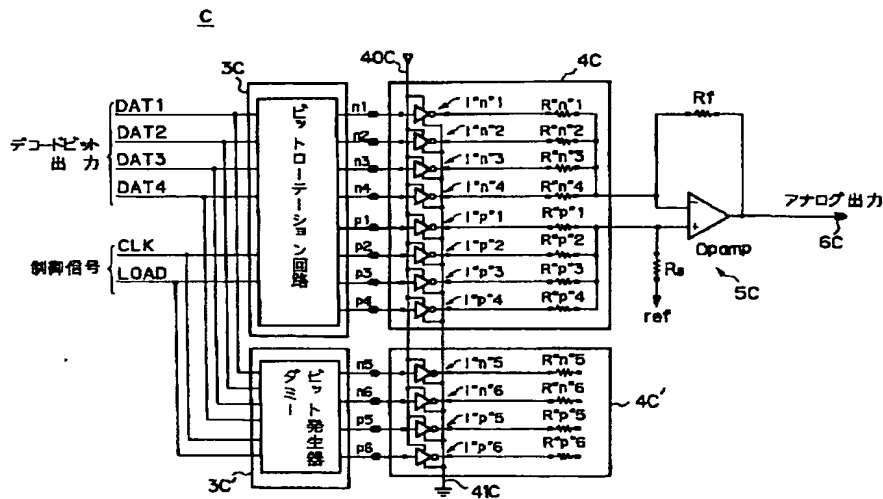
		T _a				
		T _{sub1}	T _{sub2}	T _{sub3}	T _{sub4}	
S=(000)	n1	0	0	0	0	T _a での総平均 0
	n2	0	0	0	0	
	n3	0	0	0	0	
	n4	0	0	0	0	
S=(001)	n1	0	0	0	1-2θ	T _a での総平均 1
	n2	0	0	1-θ	0	
	n3	0	1+θ	0	0	
	n4	1+2θ	0	0	0	
S=(010)	n1	0	0	1-2θ	1-2θ	T _a での総平均 2
	n2	0	1-θ	1-θ	0	
	n3	1+θ	1+θ	0	0	
	n4	1+2θ	0	0	1+2θ	
S=(011)	n1	0	1-2θ	1-2θ	1-2θ	T _a での総平均 3
	n2	1-θ	1-θ	1-θ	0	
	n3	1+θ	1+θ	0	1+θ	
	n4	1+2θ	0	1+2θ	1+2θ	
S=(100)	n1	1-2θ	1-2θ	1-2θ	1-2θ	T _a での総平均 4
	n2	1-θ	1-θ	1-θ	1-θ	
	n3	1+θ	1+θ	1+θ	1+θ	
	n4	1+2θ	1+2θ	1+2θ	1+2θ	

【図11】

従来例により個々のすべての要素が主範囲内で等しい阻値特性化されない場合

		T _a				
		T _{sub1}	T _{sub2}	T _{sub3}	T _{sub4}	
S=(000)	n1	0	0	0	0	T _a での総平均 0
	n2	0	0	0	0	
	n3	0	0	0	0	
	n4	0	0	0	0	
S=(001)	n1	0	0	0	1-2θ	T _a での総平均 1-(3/4)θ
	n2	1-θ	0	1-θ	0	
	n3	0	1+θ	0	0	
	n4	0	0	0	0	
S=(010)	n1	0	1-2θ	1-2θ	1-2θ	T _a での総平均 2-(3/4)θ
	n2	0	1-θ	1-θ	0	
	n3	1+θ	0	0	0	
	n4	1+2θ	0	0	1+2θ	
S=(011)	n1	0	1-2θ	1-2θ	1-2θ	T _a での総平均 3+(3/4)θ
	n2	1-θ	1-θ	0	0	
	n3	1+θ	1+θ	1+θ	1+θ	
	n4	1+2θ	0	1+2θ	1+2θ	
S=(100)	n1	1-2θ	1-2θ	1-2θ	1-2θ	T _a での総平均 4
	n2	1-θ	1-θ	1-θ	1-θ	
	n3	1+θ	1+θ	1+θ	1+θ	
	n4	1+2θ	1+2θ	1+2θ	1+2θ	

【図12】



【図13】

$S = (000)$, $A = 0$, $b = 1$, $M = 4$ の場合.

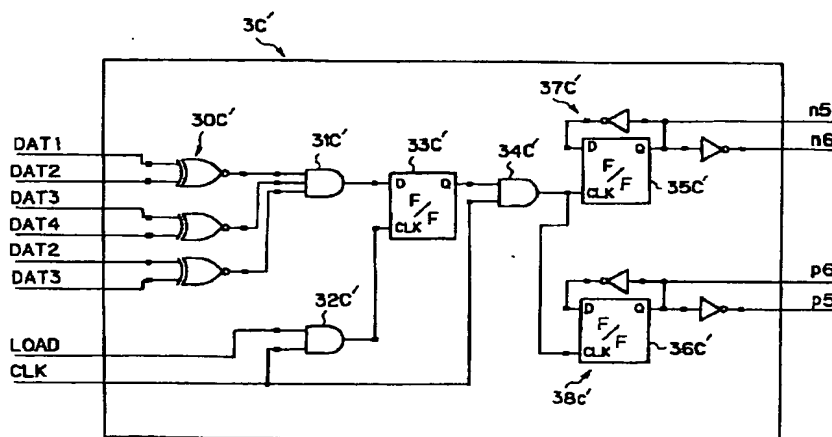
	In			
	Tsub1	Tsub2	Tsub3	Tsub4
n1	0	0	0	0
n2	0	0	0	0
n3	0	0	0	0
n4	0	0	0	0
n5	1	0	0	1
n6	0	1	0	1
p1	1	1	1	1
p2	1	1	1	1
p3	1	1	1	1
p4	1	1	1	1
p5	0	1	0	1
p6	1	0	0	1

【図14】

$S = (010)$, $A = 2$, $b = 1$, $M = 4$ の場合.

	In			
	Tsub1	Tsub2	Tsub3	Tsub4
n1	0	0	1	1
n2	0	1	1	0
n3	1	1	0	0
n4	1	0	0	1
n5	0	0	0	0
n6	1	1	1	1
p1	1	1	0	0
p2	1	0	0	1
p3	0	0	1	1
p4	0	1	1	0
p5	0	0	0	0
p6	1	1	1	1

【図17】

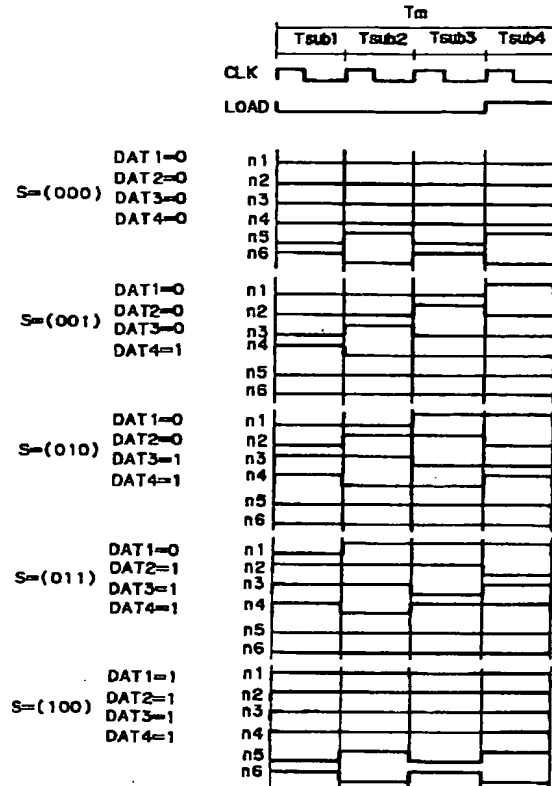


【図15】

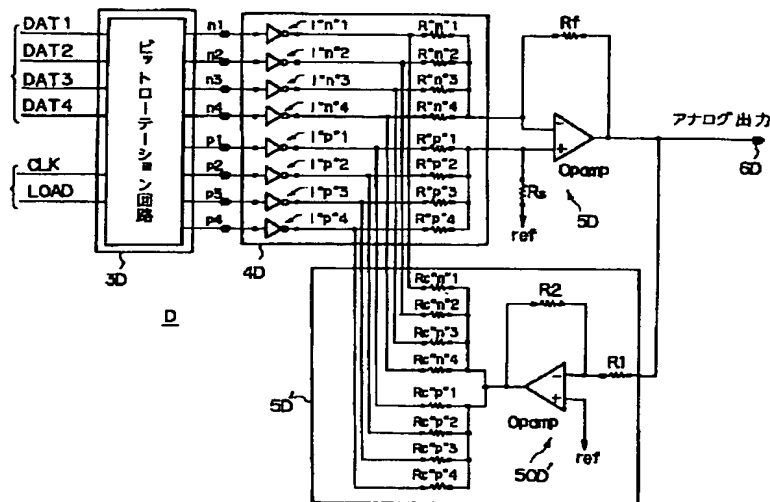
B = (100), A = 4, b = 1, M = 4の場合

	T _a			
	T _{sub1}	T _{sub2}	T _{sub3}	T _{sub4}
n1	1	1	1	1
n2	1	1	1	1
n3	1	1	1	1
n4	1	1	1	1
n5	1 → 0 → 1 → 0			
n6	0 → 1 → 0 → 1			
p1	0	0	0	0
p2	0	0	0	0
p3	0	0	0	0
p4	0	0	0	0
p5	0 → 1 → 0 → 1			
p6	1 → 0 → 1 → 0			

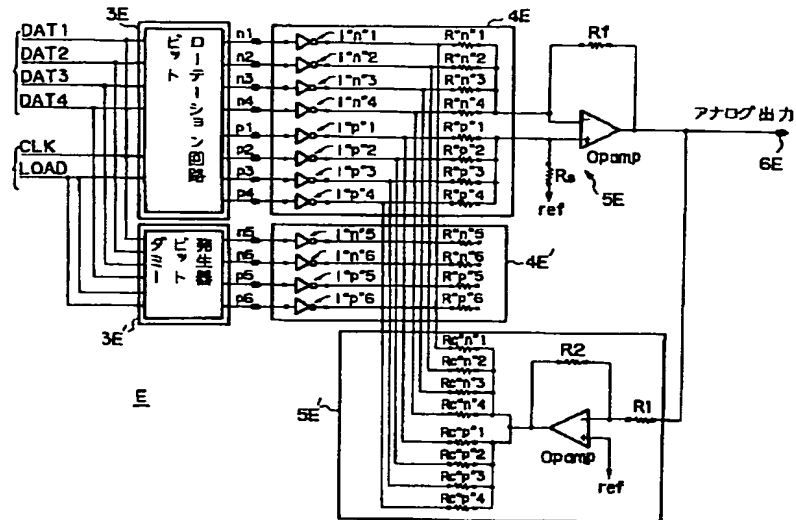
【図16】



【図18】



【図19】

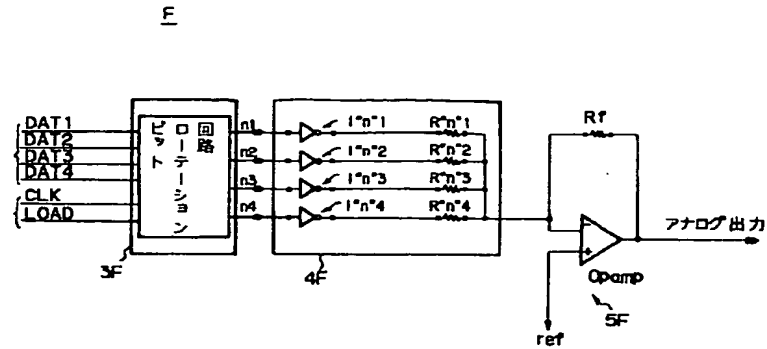


【図20】

S = (001), A = 1, b = 2, M = 40 場合

	Tn							
	Tsub1	Tsub2	Tsub3	Tsub4	Tsub5	Tsub6	Tsub7	Tsub8
n1	1	0	0	0	1	0	0	0
n2	0	1	0	0	0	1	0	0
n3	0	0	1	0	0	0	1	0
n4	0	0	0	1	0	0	0	1
p1	0	1	1	1	0	1	1	1
p2	1	0	1	1	1	0	1	1
p3	1	1	0	1	1	1	0	1
p4	1	1	1	0	1	1	1	0

【図 2 1】



フロントページの続き

(72)発明者 室田 敏夫
神奈川県厚木市長谷字仲町422-1 日本
バー・ブラウン株式会社 厚木テクニカル
センター内

(72)発明者 在原 栄一
神奈川県厚木市長谷字仲町422-1 日本
バー・ブラウン株式会社 厚木テクニカル
センター内

(72)発明者 濱崎 利彦
神奈川県厚木市長谷字仲町422-1 日本
バー・ブラウン株式会社 厚木テクニカル
センター内

(72)発明者 松迫 恭二
神奈川県厚木市長谷字仲町422-1 日本
バー・ブラウン株式会社 厚木テクニカル
センター内